

JP 5282859 - 303.623us5

2/9/1
DIALOG(R) File 347:JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.
04291159 **Image available**

MEMORY INTEGRATED CIRCUIT

PUB. NO.: 05-282859 JP 5282859 A]
PUBLISHED: October 29, 1993 (19931029)
INVENTOR(s): OOKAWA NORIHIRO
 WATANABE KAZUHIRO
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
 (Japan)
 NEC NIIGATA LTD [491611] (A Japanese Company or Corporation),
 JP (Japan)
APPL. NO.: 04-032455 [JP 9232455]
FILED: February 20, 1992 (19920220)
INTL CLASS: [5] G11C-011/401; G06F-012/02
JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 42.2
 (ELECTRONICS -- Solid State Components)
JOURNAL: Section: P, Section No. 1688, Vol. 18, No. 74, Pg. 127,
 February 07, 1994 (19940207)

ABSTRACT

PURPOSE: To eliminate a circuit for generating and controlling an address and to enable execution of burst transfer by providing a signal showing the burst transfer and an address counter for dynamic RAM and by dispensing with an address input at the time of the burst transfer.

CONSTITUTION: Dynamic RAM is provided with a BURST signal showing burst transfer, in addition to memory control signals of RAS, CAS and WE which usual dynamic RAM has, and with an address counter to be operated at the time of the burst transfer, inside a device. At the time of an ordinary memory access, an inputted address signal is outputted directly to an address bus 3 inside the device. When a signal of a negative value of BURST is inputted from outside, however, an address 2 generated inside the device is selected by a selector and outputted to the internal address 3. According to this constitution, an address input from outside is dispensed with at the time of the burst transfer.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-282859

(43) 公開日 平成5年(1993)10月29日

(51) IntCl.	国際符号	国内特許番号	P I	特許表示番号
G 1 1 C 11/401				
G 0 6 F 12/02	5 9 0	8841-5B 6741-5L	G 1 1 C 11/34	3 6 2 C

特許請求 未請求 請求項の枚数(全 3 頁)

(21) 出願番号 特開平4-32455

(22) 出願日 平成4年(1992)2月20日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71) 出願人 000190541

株式会社日本電気株式会社

所設品柏市大字安田75番地

(72) 発明者 大川 正治

東京都港区芝五丁目7番1号日本電気株式会社内

(72) 発明者 近藤 和宏

所設品柏市大字安田75番地所設品日本電気株式会社内

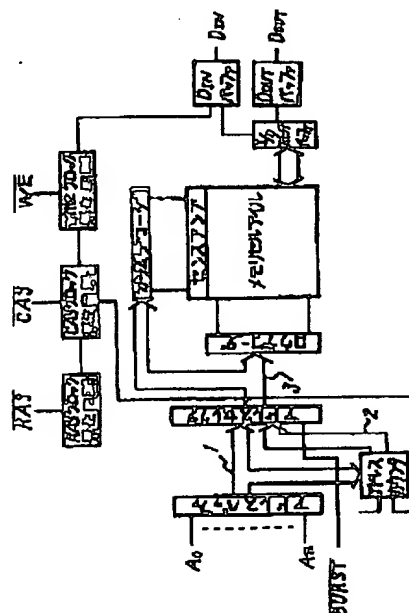
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 メモリ装置回路

(57) 【要約】

【構成】 BURSTの否定値の信号が外部より入力されると、デバイス内部で生成したアドレス2がセレクトにより選択され、内部アドレスバス3へ出力される。

【効果】 アドレス生成・制御用の回路なくしてバースト伝送できる。



(2)

特開平5-282859

1

【特許請求の範囲】

【請求項1】 データ記憶装置の一環であり、アドレス信号とアドレス及びデータの入出力を制御する公の制御信号を入力することにより、データの入出力が可能となるランダムアクセスメモリにおいて、選択するアドレスのデータを記憶して入力、又は出力する場合（以下このような記憶をバースト記憶と呼ぶ）に、それを示す信号と、アドレスカウンタを記憶することを特徴とするメモリ装置。

【発明の簡単な説明】

【0001】

【背景上の利用分野】 本発明は、コンピュータシステムにおけるメモリ装置に関し、特にダイナミックラムに関する。

【0002】

【従来の技術】 従来のランダムアクセスメモリは、その制御方法によって、スタティックラム、ダイナミックラム、に大別され、さらにその記憶容量及びデータのビット数により区別されるが、その基本構成要素は、アドレス信号、アドレス又はデータの入出力制御信号、データ信号である。

【0003】 図3にダイナミックラムの構成の一環を簡単なブロック図で示す。このメモリにデータを記憶する場合もしくはメモリからデータを読み出す場合には、適切なタイミングで図に示すRAS、CAS、WEの各信号の各信号を入力すると共に、適切なタイミングで必ずアドレスも入力する必要がある。

【0004】 又、高速度にデータを入出力する手段として、ページモード、スタティックカラムモード、ニブルモードを持つダイナミックラムがある。

【0005】 ダイナミックラムでは、アドレスをロウアドレスとカラムアドレスの2回に分けて入力する必要がある。

【0006】 ページモード、スタティックカラムモードの場合には、同一ページ内（ロウアドレスが同じ）の連続アクセスでは、カラムアドレスの入力のみでデータの入出力を可能とすることにより高速アクセスを実現している。

【0007】 又、ニブルモードの場合は、アドレスの選択するデータのアクセスにおいて初期アドレスの設定のみでいくアドレスの入力は必要としないことにより高速アクセスを可能としている。しかしこれは連続する4データという制限がある。

【0008】

【発明が解決しようとする課題】 従来のページモード、又はスタティックカラムモードをサポートするダイナミックラムを用いて、バースト記憶を実現しようとした場合には、バースト記憶用のアドレス生成、タイミング制御回路が必要になり、ニブルモードをサポートするダイナミックラムを用いた場合には、バースト記憶のデータ

2

量が4と制限されてしまい大量データの高速記憶ができないという欠点があった。

【0009】

【課題を解決するための手段】 本ダイナミックラムは、従来のダイナミックラムが有しているRAS、CAS、WEのメモリ制御信号に加え、バースト記憶を示すBURST信号と、デバイス内部にバースト記憶時のアドレス生成回路を備えている。

【0010】

10 【発明例】 次に本発明について図面を参照して説明する。

【0011】 図1は、本発明の一実施例をブロック図で示したものである。

【0012】 図1のメモリアクセス時には、入力されたアドレス信号がデバイス内部のアドレスバス3に直接出力されるが、図中のBURSTの各信号の信号が外部より入力されるとデバイス内部で生成したアドレス2がセレクタにより選択され、内部アドレスバス3へ出力される。これによりバースト記憶時には、外部からのアドレス入力の必要はなくなる。

【0013】 バースト記憶時にはページモードアクセスとなる、カラムアドレスのみ変化する。

【0014】 アドレス生成回路（アドレスカウンタ）に対する初期アドレスのロードは図2に示す4の期間すなわち、BURSTの各信号の信号をアクティブロウとした場合にその立下りエッジで完了する。カラムアドレスのホールドタイム及びアドレスカウンタに初期値をロードする際のセットアップタイムを確保するようBURSTの各信号の信号は、初期のCASの各信号の信号がアクティブ（Low）となった後にアクティブにされなければならない。従って、バースト記憶時のアドレスのカウンタアップは、図2に示すように、CASの各信号の信号の立下りエッジで行われる。アドレスカウンタとしては、n本のアドレス入力信号に対して、nビットの2進カウンタが必要となる。又、アドレスカウンタのキャリーが上った時点で次のアクセスはページミスアクセスとなることを利用して、このキャリー信号を外部に出力しておけば、外部でのアドレスコンパレータ回路を必要とせず、バースト記憶時のページミスアクセスを知ることが可能となる。

【0015】

【発明の効果】 以上説明したように本発明はダイナミックラムにバースト記憶を示す信号とアドレスカウンタを備えることにより、バースト記憶時のアドレス入力が不要となるため、アドレス生成・制御用の回路なくしてバースト記憶を可能とする効果がある。

【図面の簡単な説明】

【図1】 本発明の一実施例のブロック図である。

【図2】 バースト記憶時のアドレス生成タイミングを示す図である。

(3)

特圖平5-282859

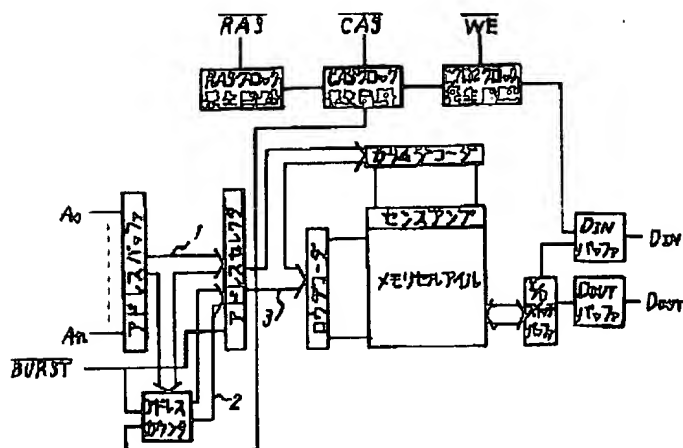
【図3】往來のダイナミックラムの内部ブロック図である。

【符号の説明】

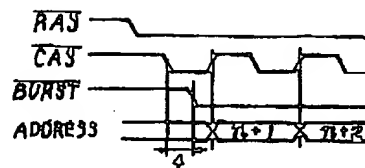
2 アドレス

3 アドレスバス

【圖1】



【圖2】



【圖 3】

